



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11039861 A**(43) Date of publication of application: **12 . 02 . 99**

(51) Int. Cl.

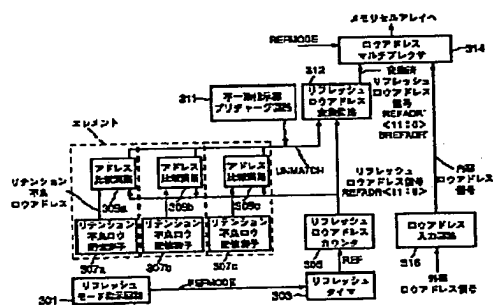
G11C 11/401
G11C 11/406
(21) Application number: **09191440**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **16 . 07 . 97**(72) Inventor: **KUSHIYAMA NATSUKI**(54) **DYNAMIC SEMICONDUCTOR MEMORY DEVICE**

(57) Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor memory device which can prevent address transmission delay during the normal operating condition (during the memory access time) without increase of chip area, and moreover can save the bits having bad retention characteristic to assure small power and good yield during the refresh mode.

SOLUTION: An address comparing circuit compares, during the refresh mode, the address stored in the retention failure row memory elements 307a to 307c with an output signal of a refresh row address counter 305. When these are matched, a refresh row address converting circuit 312 and row address multiplexer 314 refreshes the normal rows and retention failure rows in order to shorten the refresh period by increasing the number of times of selection of the retention failure rows.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-39861

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.⁶G11C 11/401
11/406

識別記号

FI

G11C 11/34

371 D
363 L

審査請求 未請求 請求項の数25 OL (全19頁)

(21)出願番号

特願平9-191440

(22)出願日

平成9年(1997)7月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 申山 夏樹

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

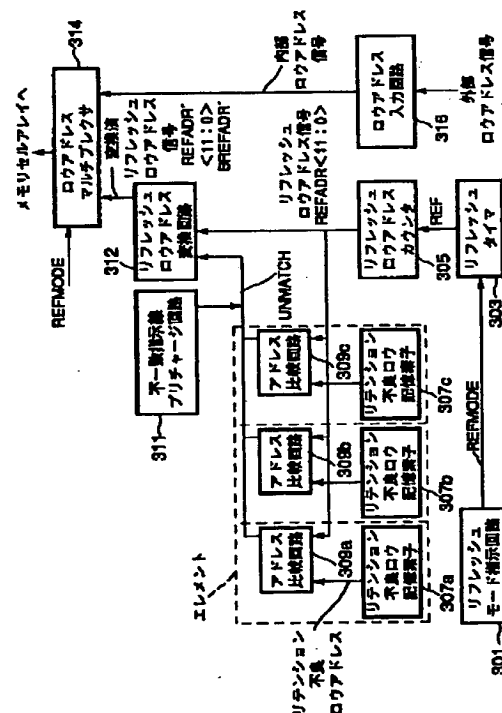
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】ダイナミック型半導体記憶装置

(57)【要約】

【課題】 チップ面積の増大を抑え、通常のアクセスに遅延を生じず、しかも、リフレッシュ電流を削減して、リテンション特性の悪いセルを救済することが困難であった。

【解決手段】 リフレッシュモード時、アドレス比較回路はリテンション不良ロウ記憶素子307a~307cに記憶されたアドレスとリフレッシュロウアドレスカウンタ305の出力信号とを比較し、これらが一致した場合、リフレッシュロウアドレス変換回路312、ロウアドレスマルチプレクサ314により、正常ロウとともにリテンション不良ロウをリフレッシュし、リテンション不良ロウの選択回数を増加させてリフレッシュ周期を短縮する。



【特許請求の範囲】

【請求項1】 ロウ方向、カラム方向に配置され、ある一定の時間T以内に一度リフレッシュを必要とするダイナミック型メモリセル群を有するダイナミック型半導体記憶装置であって、

リテンション時間がTの $1/(2 \times n)$ 乗、(nは正の整数)より長く、Tより短いセルを含むロウのアドレスを記憶する記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記記憶手段に記憶されているロウアドレスの最上位nビットを除くビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの最上位nビットを除くビット列部分と等しい場合、前記記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項2】 前記記憶手段は、リテンション時間がTの $1/2$ より長く、Tより短いセルを含むロウのアドレスを記憶することを特徴とする請求項1記載のダイナミック型半導体記憶装置。

【請求項3】 ロウ方向、カラム方向に配置され、ある一定の時間T以内に一度リフレッシュを必要とするダイナミック型メモリ群を有するダイナミック型半導体記憶装置であって、

リテンション時間がTの $1/2$ より長く、Tより短いセルを含むロウのアドレスを記憶する第1の記憶手段と、

リテンション時間がTの $1/4$ より長く、Tの $1/2$ より短いセルを含むロウのアドレスを記憶する第2の記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記第1の記憶手段に記憶されているロウアドレスの内、最上位1ビットを除くビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの内、最上位1ビットを除くビット列部分と等しい場合、前記第1の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第1のリフレッシュ手段と、

前記第2の記憶手段に記憶されているロウアドレスの内、最上位2ビットを除くビット列部分が、前記リフレッシュロウアドレスの内最上位2ビットを除くビット列部分と等しい場合、前記第2の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第2のリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項4】 ロウ方向、カラム方向に配置され、ある

一定の時間T以内に一度リフレッシュを必要とするダイナミック型メモリセル群を有するダイナミック型半導体記憶装置であって、

リテンション時間がTの $1/2$ より長く、Tより短いセルを含むロウのアドレスを記憶する第1の記憶手段と、

リテンション時間がTの $1/4$ より長く、Tの $1/2$ より短いセルを含むロウのアドレスを記憶する第2の記憶手段と、

リテンション時間がTの $1/(2 \times (n-1))$ 乗、(nは2以上の整数)より長く、Tの $1/(2 \times (n-2))$ より短いセルを含むロウのアドレスを記憶する第n-1の記憶手段と、

リテンション時間がTの $1/(2 \times n)$ 乗より長く、Tの $1/(2 \times (n-1))$ よりは短いセルを含むロウのアドレスを記憶する第nの記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記第1の記憶手段に記憶されているロウアドレスの内最上位1ビットを除くビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの内最上位1ビットを除くビット列部分と等しい場合、前記記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第1のリフレッシュ手段と、

前記第2の記憶手段に記憶されているロウアドレスの内最上位2ビットを除くビット列部分が、前記リフレッシュロウアドレスの内最上位2ビットを除くビット列部分と等しい場合、前記第2の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第2のリフレッシュ手段と、

前記第n-1の記憶手段に記憶されているロウアドレスの内最上位n-1ビットを除くビット列部分が、前記リフレッシュロウアドレスの内最上位n-1ビットを除くビット列部分と等しい場合、前記第n-1の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第n-1のリフレッシュ手段と、

前記第nの記憶手段に記憶されているロウアドレスの内最上位nビットを除くビット列部分が、前記リフレッシュロウアドレスの内最上位nビットを除くビット列部分と等しい場合、前記第nの記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第nのリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項5】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間T以内に一度リフレッシュを必要とし、2のm乗サイクル群で全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群がロウ方向

に 2 の p 乗個のサブアレイに分割されて成るようなダイナミック型半導体記憶装置であつて、リテンション時間が $T/2$ より長く、 T より短いセルを含むロウのアドレスを記憶する記憶手段と、リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、前記記憶手段に記憶されているロウアドレスの内サブアレイ内メモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分と等しく、且つ、前記リフレッシュロウアドレスの内、サブアレイを示す p ビットのアドレスの最上位ビットを除く $(p-1)$ ビットのビット列部分と等しい場合、前記記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 6】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクル群で全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群がロウ方向に 2 の p 乗個のサブアレイに分割されて成るダイナミック型半導体記憶装置であつて、リテンション時間が $T/2$ より長く、 T より短いセルを含むロウのアドレスを記憶する第 1 の記憶手段と、リテンション時間が $T/4$ より長く、 $T/2$ より短いセルを含むロウのアドレスを記憶する第 2 の記憶手段と、リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、前記第 1 の記憶手段に記憶されているロウアドレスの内、サブアレイ内メモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの内、サブアレイ内メモリアドレスを示す $(m-p)$ ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示す p ビットのアドレスの最上位ビットを除く $(p-1)$ ビットのビット列部分と等しい場合には、前記第 1 の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第 1 のリフレッシュ手段と、前記第 2 の記憶手段に記憶されているロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記リフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示す p ビットのアドレスの最上位ビットを除く $(p-2)$ ビットのビット列部分と等しい場合、前記第 2 の記憶手段に記憶されている

ロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第 2 のリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 7】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクル群で全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群がロウ方向に 2 の p 乗個のサブアレイに分割されて成るダイナミック型半導体記憶装置であつて、リテンション時間が $T/2$ より長く、 T より短いセルを含むロウのアドレスを記憶する第 1 の記憶手段と、リテンション時間が $T/4$ より長く、 $T/2$ より短いセルを含むロウのアドレスを記憶する第 2 の記憶手段と、リテンション時間が T の $1/(2 \text{ の } n-1 \text{ 乗})$ より長く、 T の $1/(2 \text{ の } n-2 \text{ 乗、} n \text{ は } 2 \text{ 以上の整数})$ より短いセルを含むロウのアドレスを記憶する第 $n-1$ の記憶手段と、リテンション時間が T の $1/(2 \text{ の } n \text{ 乗})$ より長く、 T の $1/(2 \text{ の } n-1 \text{ 乗})$ より短いセルを含むロウのアドレスを記憶する第 n の記憶手段と、リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、前記第 1 の記憶手段に記憶されているロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記生成手段により生成されたリフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示す p ビットのアドレスの最上位ビットを除く $(p-1)$ ビットのビット列部分と等しい場合、前記第 1 の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第 1 のリフレッシュ手段と、前記第 2 の記憶手段に記憶されているロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記リフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示す p ビットのアドレスの最上位ビットを除く $(p-2)$ ビットのビット列部分と等しい場合、前記第 2 の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第 2 のリフレッシュ手段と、前記第 $n-1$ の記憶手段に記憶されているロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-p)$ ビットのビット列部分が、前記リフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す $(m-$

p) ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示すpビットのアドレスの最上位ビットを除く(p-2)ビットのビット列部分と等しい場合、前記第n-1の記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第n-1のリフレッシュ手段と、前記第nの記憶手段に記憶されているロウアドレスの内、サブアレイ内のメモリアドレスを示す(m-p)ビットのビット列部分が、前記リフレッシュロウアドレスの内、サブアレイ内のメモリアドレスを示す(m-p)ビットのビット列部分と等しく、且つ前記リフレッシュロウアドレスの内、サブアレイを示すpビットのアドレスの最上位ビットを除く(p-n)ビットのビット列部分と等しい場合、前記第nの記憶手段に記憶されているロウアドレスで選択されるロウを、前記リフレッシュロウアドレスで選択されるロウとほぼ同時にリフレッシュする第nのリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項8】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間T以内に一度リフレッシュを必要とし、2のm乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を有するダイナミック型半導体記憶装置であって、

リテンション時間がTの1/2より長く、Tより短いセルがあるロウに含まれている場合、そのロウのアドレスの最上位ビットを反転したアドレスに対応するビットに“1”(または“0”)を記憶させることができる2のm乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記記憶手段内の、前記生成手段により生成されたリフレッシュロウアドレスで示されるビットに記憶されている情報を読み出す読み出し手段と、

前記読み出し手段の読み出し結果が“1”(または“0”)の場合、前記リフレッシュロウアドレスの最上位1ビットを反転したロウアドレスのロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項9】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間T以内に一度リフレッシュを必要とし、2のm乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間がTの1/2より長く、Tより短いセルがあるロウに含まれている場合、そのロウのアドレスの下位nビットを除く、最上位1ビットを反転したアドレスに対応するビットに“1”(または“0”)を記憶させることができる2の(m-n)乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記記憶手段内の、前記生成手段により生成されたリフレッシュロウアドレスの上位(m-n)ビットで示されるビットに記憶されている情報を読み出す読み出し手段と、

前記読み出し手段の読み出し結果が“1”(または“0”)の場合、前記リフレッシュロウアドレスの最上位ビットを反転したロウアドレスのロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項10】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間T以内に一度リフレッシュを必要とし、2のm乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間がTの1/2より長く、Tより短いセルがあるロウに含まれている場合、そのロウのアドレスに対応するビットに“1”(または“0”)を記憶させることができる2のm乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記記憶手段内の、前記生成手段により生成されたリフレッシュロウアドレスの最上位ビットを反転したアドレスで示されるビットに記憶されている情報を読み出す読み出し手段と、

前記読み出し手段の読み出し結果が“1”(または“0”)の場合、前記リフレッシュロウアドレスの最上位1ビットを反転したロウアドレスのロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項11】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間T以内に一度リフレッシュを必要とし、2のm乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間がTの1/2より長く、Tより短いセルがあるロウに含まれている場合、そのロウのアドレスの下位nビットを除くアドレスに対応するビットに“1”(または“0”)を記憶させることができる2の(m-n)乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示すリフレッシュロウアドレスを生成する生成手段と、

前記記憶手段内の、前記生成手段により生成されたリフレッシュロウアドレスの最上位ビットを反転したアドレスの上位m-nビットで示されるビット列に記憶されている情報を読み出す読み出し手段と、

前記読み出し手段の読み出し結果が“1”(または“0”)の場合、前記リフレッシュロウアドレスの最上

位ビットを反転したロウアドレスのロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 1 2】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間が T の $1/2$ より長く、 T より短いセルがあるロウに含まれている場合、そのロウのアドレスに対応するビットに “1” (または “0”) を記憶させることができる 2 の m 乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示す $(m+1)$ ビットのリフレッシュロウアドレスを生成する生成手段と、

前記リフレッシュロウアドレスの最上位ビットが “1” (または “0”) の場合、前記リフレッシュロウアドレスの下位 m ビットで示されるロウのリフレッシュを行い、前記リフレッシュアドレスの最上位ビットが “1”

(または “0”) の場合、前記記憶手段に記憶されている情報が “1” (または “0”) であるロウに限ってリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 1 3】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間が T の $1/(2 \text{ の } n \text{ 乗})$ より長く、 T より短いセルがあるロウに含まれている場合、そのロウのアドレスに対応するビットに “1” (または “0”) を記憶させることができる 2 の m 乗ビットの容量を持つ記憶手段と、

リフレッシュされるロウを示す $(m+n)$ ビットのリフレッシュロウアドレスを生成する生成手段と、

前記リフレッシュロウアドレスの上位 n ビットがある特定の組合せの場合、前記リフレッシュロウアドレスの下位 m ビットで示されるロウのリフレッシュを行い、前記リフレッシュロウアドレスの上位 n ビットが前記特定の組合せ以外の場合には、前記記憶手段に記憶されている情報が “1” (または “0”) であるロウに限ってリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 1 4】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間が T の $1/2$ より長く、 T より短いセルがあるロウのアドレスを記憶する記憶手段と、

リフレッシュされるロウを示す $(m+n)$ ビットのリフレッシュロウアドレスを生成する生成手段と、

前記リフレッシュロウアドレスの最上位 1 ビットが

“1” (または “0”) の場合、前記リフレッシュロウアドレスの下位 m ビットで示されるロウのリフレッシュを行い、前記リフレッシュロウアドレスの最上位 1 ビットが “0” (または “1”) の場合、前記記憶手段に記憶されている情報が “1” (または “0”) であるロウに限ってリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 1 5】 ロウ方向、カラム方向に配置され、各ロウがある一定の時間 T 以内に一度リフレッシュを必要とし、2 の m 乗サイクルで全てのロウのリフレッシュが完了するようなダイナミック型メモリセル群を持つダイナミック型半導体記憶装置であって、

リテンション時間が T の $1/(2 \text{ の } n \text{ 乗})$ より長く、 T より短いセルがあるロウのアドレスを記憶する記憶手段と、

リフレッシュされるロウを示す $(m+n)$ ビットのリフレッシュロウアドレスを生成する生成手段と、

前記リフレッシュロウアドレスの最上位 n ビットがある特定の順列の場合、リフレッシュロウアドレスの下位 m ビットで示されるロウのリフレッシュを行い、前記リフレッシュロウアドレスの上位 n ビットが前記特定の順列以外の場合、前記記憶手段に記載されている情報が

“1” (または “0”) であるロウに限ってリフレッシュするリフレッシュ手段とを具備してなることを特徴とするダイナミック型半導体記憶装置。

【請求項 1 6】 一定の時間内にメモリセルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、

チップが特定のリフレッシュモードに遷移したことをチップ内の回路に伝えるリフレッシュモード指示回路と、

リテンション時間がある時間よりも短いセルが存在するリフレッシュアドレスを記憶する記憶手段と、

リフレッシュアドレスを生成する生成手段と、

前記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成されたリフレッシュアドレスと前記記憶手段に記憶されたアドレス情報とを比較するアドレス比較回路と、

前記アドレス比較回路の比較結果に基づいて前記特定のリフレッシュモード以外の場合に選択されるロウの数の 2 倍の数のロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項 1 7】 一定の時間内にメモリセルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、

特定のリフレッシュモードにチップの状態が遷移したこ

とをチップ内の回路に伝えるリフレッシュモード指示回路と、

リテンション時間がある時間よりも短いセルに対し、そのリフレッシュアドレスと、そのセルのリテンション時間が他の正常なセルと比較してどれだけ短いかの度合を示す情報とを記憶する記憶手段と、

リフレッシュアドレスを生成する生成手段と、

前記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成されたリフレッシュアドレスと前記記憶手段に記憶されたアドレスとを比較するアドレス比較器と、

前記アドレス比較器の比較結果および前記記憶手段に記憶されているリテンション時間の短さの度合いに基づいて前記特定のリフレッシュモード以外の場合に選択されるロウの数よりも多くの数のロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項 1 8】 一定の時間内にメモリセルの 2 の m 乗サイクルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、

特定のリフレッシュモードにチップの状態が遷移したことをチップ内の回路に伝えるリフレッシュモード指示回路と、

リテンション時間がある時間よりも短いセルに対し、そのリフレッシュアドレスを記憶する記憶手段と、

リフレッシュアドレスを生成する生成手段と、

前記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成された $m+n$ ビットのリフレッシュアドレスと、前記リフレッシュアドレスの上位 m ビットがある特定の順列になった場合、前記リフレッシュアドレスの下位 n ビットで選択されるロウをリフレッシュし、前記リフレッシュアドレスの上位 m ビットが上記特定の順列以外の場合には前記リフレッシュアドレス記憶手段に記憶されているロウアドレスで指示されるロウをリフレッシュするリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項 1 9】 ロウ方向、カラム方向に配置され、ある一定の時間以内に一度リフレッシュを必要とするダイナミック型メモリセル群を有するダイナミック型半導体記憶装置であって、

第 1 のリテンション時間を有する第 1 のメモリセル群より短い第 2 のリテンション時間を有する第 2 のメモリセルを含むロウのアドレスを記憶する記憶手段と、

前記第 1 のメモリセル群を前記第 1 のリテンション時間より短い周期で順次リフレッシュすると同時に、前記記憶手段に記憶されたロウアドレスで示されるロウの前記第 2 のメモリセルを前記第 2 のリテンション時間より短い周期でリフレッシュするリフレッシュ手段とを具備することを特徴とするダイナミック型半導体記憶装置。

【請求項 2 0】 前記記憶手段は、レーザー光線を用い

て溶断されるヒューズであることを特徴とする請求項 1、3 乃至 1 9 の何れかに記載のダイナミック型半導体記憶装置。

【請求項 2 1】 前記記憶手段は、電流を用いて溶断されるヒューズであることを特徴とする請求項 1、3 乃至 1 9 の何れかに記載のダイナミック型半導体記憶装置。

【請求項 2 2】 前記記憶手段は、EPROMであることを特徴とする請求項 1、3 乃至 1 9 の何れかに記載のダイナミック型半導体記憶装置。

【請求項 2 3】 前記記憶手段は、EEPROMであることを特徴とする請求項 1、3 乃至 1 9 の何れかに記載のダイナミック型半導体記憶装置。

【請求項 2 4】 前記記憶手段は、FRAMであることを特徴とする請求項 1、3 乃至 1 9 の何れかに記載のダイナミック型半導体記憶装置。

【請求項 2 5】 前記生成手段は、前記ダイナミック型半導体記憶装置の内部、前記ダイナミック型半導体記憶装置の外部の一方に設けられていることを特徴とする請求項 1、3 乃至 1 8 の何れかに記載のダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、例えばダイナミック型半導体記憶装置に係わり、特に、そのリフレッシュに関する。

【0 0 0 2】

【従来の技術】ダイナミックランダムアクセスメモリ (DRAM) において、セルキャパシタに蓄積された電荷は、セルキャパシタから次第に漏れ出る。このため、ある一定期間内にメモリセルにデータを再書き込みし、リフレッシュする必要がある。このリフレッシュ動作は一般的に DRAM チップ上の全てのロウアドレスを 1 つずつ順番に選択し、ロウアクセス動作する。すなわち、ワード線の電位を上げ、セルキャパシタに蓄えられていた電荷を、セルトランジスタを介してビット線に転送し、センスアンプを活性化してビット線対のデータをセンス、増幅する。このビット線対の電位差が十分開いた時点で、ワード線の電位を下げる。この一連の動作によりリフレッシュが実行される。

【0 0 0 3】ロウアドレスの選択周期、すなわち何回リフレッシュ動作を行うとロウアドレスが一周して同じアドレスに戻ってくるかをリフレッシュサイクルと呼ぶ。また、メモリセルがデータを保持しているためにはどのくらいの期間内に全てのロウをリフレッシュしなければならないかを示す時間をリフレッシュインターバルと呼ぶ。

【0 0 0 4】最近の 6 4 MDRAM を例にとるとロウアドレスが 4、0 9 6 (4 k) あり、それらを 6 4 mS の間に 1 つずつ選択してリフレッシュを行う 4 k $refresh/64mS$ という規格が一般的である。つま

り、リフレッシュインターバルが64mSであり、リフレッシュサイクルが4kサイクルである。64mSという時間で4kあるロウアドレスを等間隔で順番に選択してリフレッシュを行うものと仮定すると、 $64\text{mS}/4k=15.625\mu\text{S}$ という時間間隔で1つのロウをリ

リフレッシュインターバル

=リフレッシュビリオド×リフレッシュサイクル

近年、ノートブックパソコンなどの携帯型コンピュータが急速に普及している。携帯型コンピュータはバッテリーで駆動されることが多いため、使用可能時間を延ばすためにできる限りメモリの消費電力を抑える必要がある。そこで、キーボードやマウス等の入力装置からの入力が無い時、コンピュータに搭載されているメモリの動作を止めることにより、平均の消費電力を低下させている。しかし、メインメモリとして使われているDRAM

リフレッシュ時の平均電流

=リフレッシュ1ロウ分の電流×1ロウアクセスの時間

×リフレッシュサイクル/リフレッシュインターバル

例えば前記64M DRAMを例にとると

リフレッシュ1ロウ分の電流=100mA

1ロウアクセスの時間=80ns

リフレッシュサイクル=4k cycle

リフレッシュ間隔=64mS

であるため、リフレッシュ時の平均電流は

$100\text{mA} \times 80\text{ns} \times 4,096 / 64\text{mS} = 512\mu\text{A}$

となる。1996年現在で低消費電力版DRAMのスペックでは、リフレッシュ電流が250μA未満であることが求められている。上述のDRAMではリフレッシュ電流が512μAであるため、このスペックを満たしていないことになる。

【0007】上記(2)式より、リフレッシュ電流を減らすためにはリフレッシュインターバルを延ばせば良いことがわかる。リフレッシュ電流を250μA未満にするにはリフレッシュインターバルを4倍の256mSにできれば良い。しかし、リフレッシュインターバルを延ばせば延ばすほどリテンション(ポーズ)特性の悪いセルは、セルキャパシタから電荷が抜けてしまい、データが破壊されてしまう。従来のDRAMでは、このリテンション特性の悪いセルを予めDRAMチップ内に装備した冗長なロウ、カラム(冗長エレメント)で置き換えることにより、DRAMチップ内の全てのセルが256mS以上のリテンションを持つようにしている。

【0008】今、仮に128mS以上、256mS以下のリテンションタイムを持つセルが平均で1チップあたり200個あり、それ以外のセルは256mS以上のリテンションタイムを持つものと仮定する。一般的に、このようなリテンション特性の悪いセル(リインジョン不

フレッシュすれば良いことになる。この時間間隔のことをリフレッシュビリオドと呼ぶ。したがって、リフレッシュサイクル、リフレッシュインターバル、リフレッシュビリオドの間には、(1)式に示す関係が成立する。

【0005】

... (1)

は上述の通りメモリセルのデータが消失しないよう、定期的にリフレッシュ動作を行う必要がある。したがって、このリフレッシュ時の平均電流をいかに減少できるかがバッテリーの使用可能時間を決定する大きな要因となる。リフレッシュ時の平均電流は、(2)式で表わされる。

【0006】

... (2)

良ビット)は完全にランダムにウェハ上に発生するため、その分布はポアソン分布に従うものと考えられる。その場合、90%の歩留りを得ようとする64Mbit中の任意の218ビットを置き換えられるような冗長エレメントを搭載すれば良いという計算結果がポアソン分布を仮定したコンピュータシミュレーションから得られた。

【0009】ところが、一般的なDRAMではメモリセルアレイは小さな複数のサブアレイに分割されており、冗長エレメントも各サブアレイの中にそのサブアレイ専用で設けられている場合が多い。例えば64Mビットのセルアレイが32個の2Mビットのサブアレイに分割されているとした場合、その各2Mビットのサブアレイ内にある冗長エレメントでは、その同じサブアレイの中にあるセルしか置き換えることはできない。すなわち、他のサブアレイのセルを置き換えることができない。冗長エレメントで自由に置き換えることができるセルアレイの広さ(置き換え領域)が広ければ広いほどリダンダンシの置き換え効率は高い。

【0010】例えば、64Mビットのセルアレイ内の任意の位置にある64ビットを64個の冗長エレメントで置き換えられるリダンダンシステムと、64Mビットを32個の2Mビットサブアレイに分割し、その2Mサブアレイ内の任意の位置にある2ビットを2個の冗長エレメントで置き換えられるリダンダンシステムでは、両者とも64Mビットのチップ内にある冗長エレメントの数は64で等しい。しかし、前者のリダンダンシステムの方がはるかに置き換え効率が低い。なぜなら、後者リダンダンシステムでは2Mビットサブアレイの中に3個のリテンション不良ビットが存在するだけで、置

き換えができなくなるのに対し、前者のリダグダンシシステムでは2Mビットサブアレイ中に64個のリテンション不良ビットが集中しても置き換えることができるからである。前記1チップに平均200個のリテンションの悪いセルを含む例では、置き換え領域が64Mビットの場合には218個の冗長エレメントを装備するだけで90%の歩留りを得ることができる。

【0011】しかし、置き換え領域を2Mビットにしてしまうとチップ全体では実に448の冗長エレメント

(2Mビットサブアレイ当たり14個の冗長エレメント)を装備しないと90%の歩留りが得られないことがポアソン分布を仮定したコンピュータシミュレーションから分かった。例えばこの448の冗長エレメントを冗長ロウで構成する場合を考える。

【0012】ここでは、64Mビットのメモリを想定する。この64Mビットのメモリは4個の16Mビットブロックから成っている。さらに、各16Mビットブロックは8個の2Mビットサブアレイに分割しており、各2Mビットサブアレイは縦512ロウ、横4,096コラムから成っている。この2Mビットサブアレイには512本のワード線があることになる。上述のように、64Mビットあたり平均で200個のリテンション不良ビットが発生すると仮定した場合、90%の歩留りを得るためには2Mビットあたり14個の冗長エレメントが必要である。

【0013】通常、ワード線の置き換えはワード線1本毎の置き換えではなく、ロウデコーダ単位で行われる。1ロウデコーダには4本のワード線が含まれるので、14個の冗長エレメントを入れるには14個の冗長ロウデコーダ(4×16=56ワード線に相当)を入れることになる。すると、2Mビットのサブアレイでは正規のワード線512本(ロウデコーダ128個)と冗長ワード線56本(ロウデコーダ14個)の合計568本のワード線(ロウデコーダ142個)が必要になる。1996年現在の技術ではロウデコーダの占める幅は約4.4μm程度、チップの横幅は11mm程度なのでチップサイズの増加分は

冗長ロウデコーダの幅×冗長ロウデコーダの数×チップ横幅=4.4μm×112×11,000μm=5.42平方ミリ

となり、冗長ロウデコーダを入ただけでチップサイズが5.42平方ミリも大きくなってしまふことがわかる。

【0014】チップサイズを大きくする要因は冗長エレメントだけではない。冗長エレメントでリテンション特性の悪いセルを選択するにはそのセルのアドレスを記憶しておく手段が必要になる。一般的にはレーザー溶断ヒューズが用いられる。この場合、ロウデコーダの数が128であるため、その中から1つのロウデコーダを選択するには7本のアドレス線が必要であり、これらに同

数、すなわち、7本のヒューズが接続される。さらに、このヒューズがプログラムされていることを示す1本のイネーブルヒューズがある。このため計8本のヒューズセットが必要であり、このヒューズセットが448組必要であるため、64Mビットのチップでは

$$448 \times (7+1) = 3,574 \text{ 本}$$

ものヒューズが必要となる。

【0015】レーザー溶断ヒューズ1本とそれに付随する回路の合計の面積は1996年現在の技術では0.0005平方ミリ程度である。この3,584本のヒューズが占める面積は0.0005×3,584=1.792平方ミリにもなる。前記冗長ロウデコーダの面積増を加えると、これらの合計面積は5.42+1.792=7.21平方ミリになる。1996年現在において冗長回路を含まない64MビットDRAMのチップサイズは約75平方ミリ程度と予想できるので、

$$(75+7.21)/75=1.096$$

より、64Mビットあたり平均200ビット発生するリテンション不良ビットを歩留り90%を狙い、冗長ロウで救済するためにチップサイズが9.6%も大きくなってしまふことが分かる。

【0016】以上、冗長ロウを搭載することによってチップサイズが大きくなってしまふという弊害について説明してきたが、その他にも問題がある。次にその問題を説明する。

【0017】図12は、従来のロウリダグダンシ回路である。チップ上のセルをテストしてリテンション特性が悪いセルが見つかった場合、そのセルを冗長ロウで置き換えるため、そのセルのロウアドレスを例えばレーザー溶断ヒューズからなるリテンション不良ビット記憶素子101にプログラムする。

【0018】メモリアクセスの際、チップ外部からは外部ロウアドレス信号がロウアドレス入力回路103に供給される。ロウアドレス入力回路103は外部ロウアドレス信号を波形整形し、内部ロウアドレス信号として出力する。アドレス比較回路105は、リテンション不良ビット記憶素子101にプログラムされている冗長ロウアドレス信号と内部ロウアドレス信号とを比較する。この比較の結果、これらが一致している場合、一致指示信号線107がハイレベル“H”となり、冗長ロウデコーダ110が活性化され、冗長ワード線が駆動される。また、予め不一致指示線プリチャージ回路108によって“H”にプリチャージされていた不一致指示信号線109がローレベル“L”に引き落とされる。このため、正規ロウデコーダ111は非活性となり、正規ワード線は駆動されない。

【0019】一方、アドレス比較結果が不一致の場合、不一致指示信号線109は“H”を保持するため、正規ロウデコーダ111により選択される正規ワード線が駆動される。この例では簡単のために3組のロウ冗長エレ

メントだけしか図示していないが、実際には多数（上述の例では448組）存在する。この448組それぞれにアドレス比較回路105が接続されるため、内部ロウアドレス信号を伝送する信号線は、これら448個のアドレス比較回路に接続されなければならない。このように多数のアドレス比較回路に内部ロウアドレス信号を供給する場合、そのための配線の負荷容量により、正規ロウデコーダ111へのアドレス伝達が遅くなるという問題が発生する。また、その負荷容量の充放電のために内部アドレス信号の配線で消費される電力が多くなり、DRAMチップ全体の消費電力が大きくなるという問題も起きる。

【0020】

【発明が解決しようとする課題】 上述したように、チップ内のセルアレイをより小さいサブアレイに分割し、そのサブアレイ内に冗長エレメントを装備し、リテンション特性の悪いセルをその冗長エレメントで置き換える従来の手法には以下のような問題が存在する。

【0021】 (1) リテンション特性の悪いメモリセルを冗長エレメントで救済するために、チップ内に冗長エレメントを加える必要があり、チップサイズが増大する。

(2) メモリセルアレイをより小さいサブアレイに分割しているため、リテンション特性が悪いセルの救済効率が低下し、より多くの冗長エレメントを装備する必要があり、一層チップサイズが増大する。

【0022】 (3) 通常のメモリアクセスに用いるアドレス線が、アドレス線上のアドレスと、救済すべきメモリセルのアドレスとを比較するアドレス比較回路に接続されているため、内部アドレス線に余計な負荷が加わり、アドレス伝達速度が低下する。

【0023】 (4) (3)と同じ理由から内部アドレス線で消費される電力が増大する。本発明は上記課題を解決するためになされたものであり、その目的とするところは、チップ面積を増大させることなく、通常動作時（メモリアクセス時）のアドレス伝達遅延を防止でき、しかも、通常動作時の消費電力を増加させることなく、リテンション特性の悪いビットを救済できるとともに、リフレッシュ時の電力が小さく、歩留りが良好な半導体記憶装置を提供することにある。

【0024】

【課題を解決するための手段】 上記課題を解決するために本発明は次のような構成を有している。すなわち、本発明は、一定の時間内にメモリセルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、チップが特定のリフレッシュモードに遷移したことをチップ内の回路に伝えるリフレッシュモード指示回路と、リテンション時間がリテンション時間がある時間よりも短いセルが存在するリフレッシュアドレスを記憶する記憶手段と、リフレッシュアドレスを生成する生成手段と、前

記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成されたリフレッシュアドレスと前記記憶手段に記憶されたアドレス情報とを比較するアドレス比較回路と、前記アドレス比較回路の比較結果に基づいて前記特定のリフレッシュモード以外の場合に選択されるロウの数の2倍の数のロウをほぼ同時にリフレッシュするリフレッシュ手段と具備している。

【0025】 また、本発明は、一定の時間内にメモリセルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、特定のリフレッシュモードにチップの状態が遷移したことをチップ内の回路に伝えるリフレッシュモード指示回路と、リテンション時間がある時間よりも短いセルに対し、そのリフレッシュアドレスと、そのセルのリテンション時間が他の正常なセルと比較してどれだけ短いかの度合を示す情報とを記憶する記憶手段と、リフレッシュアドレスを生成する生成手段と、前記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成されたリフレッシュアドレスと前記記憶手段に記憶されたアドレスとを比較するアドレス比較回路と、前記アドレス比較回路の比較結果および前記記憶手段に記憶されているリテンション時間の長さの度合いに基づいて前記特定のリフレッシュモード以外の場合に選択されるロウの数よりも多くの数のロウをほぼ同時にリフレッシュするリフレッシュ手段とを具備している。

【0026】 また、本発明は、一定の時間内にメモリセルの2のm乗サイクルのリフレッシュを必要とするダイナミック型半導体記憶装置であって、特定のリフレッシュモードにチップの状態が遷移したことをチップ内の回路に伝えるリフレッシュモード指示回路と、リテンション時間がある時間よりも短いセルに対し、そのリフレッシュアドレスを記憶する記憶手段と、リフレッシュアドレスを生成する生成手段と、前記リフレッシュモード指示回路からの指示に基づいて前記生成手段により生成されたm+nビットのリフレッシュアドレスと、前記リフレッシュアドレスの上位nビットがある特定の順列になった場合、前記リフレッシュアドレスの下位mビットで選択されるロウをリフレッシュし、前記リフレッシュアドレスの上位nビットが上記特定の順列以外の場合には前記リフレッシュアドレス記憶手段に記憶されているロウアドレスで指示されるロウをリフレッシュするリフレッシュ手段を具備している。

【0027】

【実施の形態】 以下、図面を参照して本発明の実施の形態について説明する。図2は、本発明の第1の実施例に関わるDRAMのメモリセルアレイの構成図である。このメモリセル11は全体で64Mビットの容量を持ち、4個の16Mビットサブアレイ11a～11dに分割されているものとする。16Mビットサブアレイが1,024(1k)のロウと16,384(16k)のカラム

で構成されている。各サブアレイ 11a~11d の図示せぬワード線にはロウデコーダ 11e~11g がそれぞれ接続され、各サブアレイ 11a~11d の図示せぬビット線にはカラムデコーダ 11i が接続されている。このカラムデコーダ 11i 及び前記ロウデコーダ 11e~11g には周辺回路 11j が接続されている。

【0028】メモリセル 11 は、64Mビット全体で 4k のロウを持っているので 1 つずつロウを選択するのに必要なアドレスは 12 ビットであり、これを RAD R<11>

| RAD R<11> | BRAD R<11> | RAD R<10> | BRAD R<10> | 選択されるサブアレイ番号 |
|-----------|------------|-----------|------------|--------------|
| 0 | 1 | 0 | 1 | 0のみ |
| 0 | 1 | 1 | 0 | 1のみ |
| 1 | 0 | 0 | 1 | 2のみ |
| 1 | 0 | 1 | 1 | 3のみ |
| 1 | 1 | 0 | 1 | 0と2 |
| 1 | 1 | 1 | 0 | 1と3 |

通常のメモリアクセス時、RAD R<11>と BRAD R<11>は決して同時に 1 になることはないので、必ず 1 つの 16Mビットサブアレイだけが選択される。各 16Mビットサブアレイには 1k のロウがあり、各ロウは RAD R<9:0>の 12 本のロウアドレスで選択されるものとする。これらの 10 本のロウアドレスは相補信号ではないので、いかなる時でもサブアレイ内の 1 つのロウだけが選択される。

【0030】図 1 は、本発明の第 1 の実施例に関わる DRAM のリフレッシュ回路部の構成を示すブロック図である。この DRAM はリフレッシュサイクルが 4k サイクルであり、ある特定のリフレッシュモードに入った場合、62.5 μ s のリフレッシュビリオドでリフレッシュされるものと仮定する。したがって、この DRAM のリフレッシュインターバルは 62.5 μ s \times 4,096=256ms となる。

【0031】図 1 において、リフレッシュモード指示回路 301 は、DRAM チップがある特定のリフレッシュモードに入ると、REFMODE 信号 302 を“H”にするこの REFMODE 信号 302 は、リフレッシュタイマ 303 に供給される。このリフレッシュタイマ 303 は、REFMODE 信号 302 が“H”になると動作を開始し、62.5 μ s 毎に 1 回 REFRESH パルス信号 304 を発生する。この REFRESH パルス信号 304 は、リフレッシュロウアドレスカウンタ 305 に供給される。このリフレッシュロウアドレスカウンタ 305 は、12 ビットの 2 進カウンタである。このリフレッシュロウアドレスカウンタ 305 は、初期値が“000000000000”であり、1 回 REFRESH パルス信号 304 を受けるとカウント出力であるリフレッシュロウアドレス 306 を 1 つインクリメントする。このカウント出力が“111111111111”の場合に REFRESH パルス信号 304 を受けると、カウント出力が“000000000000”に戻る。

11:0>と表現する。4 個あるサブアレイを指定するために上位 2 ビットの RAD R<11:10>を用いるが、この上位 2 ビットの RAD R<11:10>に限りアドレス線を RAD R<11>とその反転信号の BRAD R<11>、RAD R<10>とその反転信号の BRAD R<10>の相補信号としておく。RAD R<11:10>と選択されるサブアレイ番号との関係を以下のように定義する。

【0029】

【0032】リテンション不良記憶素子 307a、307b、307c は、リテンション時間の短いセルが含まれているロウアドレスを記憶するものであり、例えば不揮発性メモリにより構成されている。これらリテンション不良記憶素子 307a、307b、307c は、ロウアドレス 12 ビットとイネーブル 1 ビットの計 13 ビットを 1 セットとし、必要セット数分の容量を有している。例えばリテンション時間が短いロウの数が 200 を超えないと予想される場合は、ヒューズセットを 200 セット分用意しておけば良い。リテンション不良記憶素子 307a、307b、307c の出力信号は、アドレス比較回路 309a、309b、309c にそれぞれ供給される。これらアドレス比較回路 309a、309b、309c には前記リフレッシュロウアドレスカウンタ 305 のカウント出力が供給されている。

【0033】前記アドレス比較回路 309a、309b、309c は、リフレッシュロウアドレス 306 とリテンション不良ロウ記憶素子のアドレス記憶領域の情報を比較する。これらアドレス比較回路 309a、309b、309c の出力端には、不一致指示線プリチャージ回路 311 が接続されている。この不一致指示線プリチャージ回路 311 は、前記 REFRESH パルス信号に先だって不一致指示線 310 を“H”にプリチャージする。アドレス比較回路 309a、309b、309c の比較結果が真、すなわち、リテンション不良記憶素子 307a、307b、307c から出力されるリテンション不良ロウアドレス信号 308a、308b、308c と、リフレッシュロウアドレスカウンタ 305 から出力されるリフレッシュロウアドレス 306 が等しい場合、アドレス比較回路 309a、309b、309c の出力端としての不一致指示線 310 を“L”とする。

【0034】一方、アドレス比較回路 309a、309b、309c の比較結果が偽、すなわち、リテンション不良ロウアドレス 308a、308b、308c とリフ

レッシュロウアドレス 306 が等しくない場合、不一致指示線 310 は “H” を保持する。

【0035】前記不一致指示線 310 とリフレッシュロウアドレスカウンタ 305 の出力端は、リフレッシュロウアドレス変換回路 312 に接続されている。図 3 は、リフレッシュロウアドレス変換回路 312 の回路図を示している。リフレッシュロウアドレス信号の下位 11 ビット $REFADR<10:0>$ はそれぞれインバータ 411、412 で増幅されて変換済リフレッシュロウアドレス信号 $REFADR'<10:0>$ が生成される。したがって、 $REFADR<10:0>$ と $REFADR'<10:0>$ の論理値は同一である。

【0036】一方、最上位リフレッシュロウアドレス信号 $REFADR<11>$ は、不一致指示線 310 の信号 $UNMATCH$ と論理が取られて変換済リフレッシュロウアドレス信号 $REFADR'<11>$ と $BREFADR'<11>$ が作られる。すなわち、リフレッシュロウアドレス信号 $REFADR<11>$ は、インバータ 414 により反転された信号 $UNMATCH$ ととともにオア回路 413 に供給され、インバータ 416 により反転されたリフレッシュロウアドレス信号 $REFADR<11>$ は、インバータ 414 により反転された信号 $UNMATCH$ ととともにオア回路 415 に供給される。前記オア回路 413 から変換済リフレッシュロウアドレス信号 $REFADR'<11>$ が出力され、前記オア回路 415 から変換済リフレッシュロウアドレス信号 $BREFADR'<11>$ が出力される。

【0037】前記アドレス比較結果が偽の場合、すなわち、信号 $UNMATCH$ が “H” の場合、信号 $REFADR'<11>$ は信号 $REFADR<11>$ と同じ論理値を有し、信号 $BREFADR'<11>$ は信号 $REFADR<11>$ の反転信号となる。

【0038】一方、アドレス比較結果が真の場合、すなわち、信号 $UNMATCH$ が “L” の場合、信号 $REFADR'<11>$ の値にかかわらず、信号 $REFADR'<11>$ と信号 $BREFADR'<11>$ の両方が “H” になる。

【0039】図 1 において、ロウアドレス入力回路 316 には、外部ロウアドレス信号 315 が供給される。このロウアドレス入力回路 316 は、外部ロウアドレス信号 315 を内部アドレス信号 317 に変換する。この内部アドレス信号 317 と前記リフレッシュロウアドレス変換回路 312 から出力される変換済リフレッシュロウアドレス信号 $BREFADR'<11>$ は、ロウアドレスマルチプレクサ 314 に供給される。このロウアドレスマルチプレクサ 314 には前記リフレッシュモード指示回路 301 から出力される $REFMODE$ 信号 302 が供給されている。ロウアドレスマルチプレクサ 314 は、 $REFMODE$ 信号 302 が “H” の場合、すなわち、この DRAM チップがある特定のリフレッシュモ

ドにある場合、メモリセルアレイ 11 へ変換済リフレッシュロウアドレスを伝え、 $REFMODE$ 信号 302 が “L” の場合、メモリセルアレイ 11 へ内部ロウアドレス 317 を伝える。

【0040】次に、図 4 乃至図 6 を参照して、上記回路を搭載した DRAM の動作について説明する。この DRAM のウェハ状態でのテストの際、まず、リテンション時間をリフレッシュインターバルの $1/2$ の時間である 128ms として全メモリセルをテストする。その時、64M ビット全てのメモリセルがパスするものと仮定する。

【0041】すなわち、まず、図 4 に示すように、各サブアレイ 0~3 の全てのメモリセルにデータを書き込み、128ms 経過した後に全てのメモリセルを順番に読み出し、書き込んだデータと読み出したデータとが等しいか否かがチェックされる。仮に、全て等しければ全てのメモリセルが少なくとも 128ms 以上のリテンション時間を持つことが保証されたことになる。

【0042】次に、図 5 に示すように、リテンション時間を 256ms に変更して同様に全メモリセルをテストする。この時、サブアレイ 0 内のアドレスが 2 進数表記で $ADR<9:0>=“0000000001”$ で表わされるロウ上に 1 ビットの不良が出たと仮定する。このロウのアドレスは $ADR<11:0>=“000000000001”$ と表わすことができる。このテストにより 64M ビットあるセルアレイの内、この 1 ビットのメモリセルだけが 128ms 以上、256ms 未満のリテンション時間を持ち、それ以外のメモリセルは 256ms 以上のリテンション時間を持つことがわかる。

【0043】そこで、図 6 に示すように、リテンション不良記憶素子のどれかのヒューズセットのアドレス記憶領域にこのメモリセルのロウアドレス = “000000000001” の最上位ビットを反転した “100000000001” を書き込み、さらに、このヒューズセットのイネーブルビット記憶領域に “1” を書き込んで、このヒューズセットを有効にする。

【0044】図 7 に示すように、この DRAM が外部からの指示によって、あるいは自発的にリフレッシュモードに入り、リフレッシュモード指示信号 $REFMODE$ が “H” になる。すると、このリフレッシュモード指示信号を受け、リフレッシュタイマ 303 が動作を開始し、62.5μs 毎にリフレッシュパルス信号 $REFPULSE$ を出力し、チップにリフレッシュ動作を命じる。リフレッシュパルス信号が出力される度に、リフレッシュロウアドレスカウンタ 305 の出力が $REFADR<11:0>=“000000000000”$ から 1 つずつインクリメントされ、そのアドレスに対応するロウのリフレッシュが行われていく。サブアレイ番号 0、1 のサブアレイ 11a、11b のリフレッシュが完了し、サブアレイ番号 2 のサブアレイ 11c の 2 番目のロ

ウ、すなわち $RADR<11:0> = "100000000001"$ までリフレッシュロウアドレスカウンタ 305 が進んだ時、 $REFADR<11:0>$ は先ほどリテンション不良ロウ記憶素子に書き込んだアドレス " 100000000001 " と等しくなる。すると、不一致指示信号 $UNMATC$ は " L " に引き落とされ、リフレッシュアドレス変換回路 312 の出力信号は、 $REFADR'<11> = "H"$ 、 $BREFADR'<11> = "L"$ 、 $REFADR<10:0> = "00000000001"$ となる。これにより、サブアレイ番号 0 のサブアレイ 11a の " 00000000001 " のロウと、サブアレイ番号 2 のサブアレイ 11c の " 00000000001 " の 2 本のロウが同時にリフレッシュ動作されたことがわかる。

【0045】このように、リフレッシュロウアドレスカウンタ 305 が " 000000000000 " から " 111111111111 " まで進む間に、 $RADR<11:0> = "000000000001"$ で表わされるロウは、 $REFADR<11:0>$ が " 000000000001 " と " 1000000000001 " の場合の 2 度選択されるが、それ以外のロウは 1 度だけしか選択されない。つまり、 $RADR<11:0> = "000000000001"$ で表わされるロウは 128ms 毎に 1 度リフレッシュされるが、それ以外のロウは 256ms 毎に一度リフレッシュされることになる。 $RADR<11:0> = "000000000001"$ で表わされるロウ上のメモリセルは 128ms 以上 256ms 未満のリテンション時間を持つことがすでに確かめられているが、不良にはならない。したがって、チップ全体で見ればあたかも全メモリセルが 256ms のリテンション時間を持つかのように見える。

【0046】この実施例によれば、リテンション時間の短いセルを有するロウをリテンション不良ロウ記憶素子 307a ~ 307c に記憶し、リテンション時間の短いセルに対して、正常なセルに比べて短い周期でリフレッシュしている。したがって、リテンション時間の短いセルを救済するために、冗長ロウ、冗長カラムを必要としないため、チップ面積の増大を防止できる。

【0047】また、リテンション時間の短いセルに対しては、128ms 毎にリフレッシュし、リテンション時間を十分確保したセルに対しては、256ms 毎にリフレッシュしている。したがって、全セルを 128ms 毎にリフレッシュする必要がないため、リフレッシュ周期を実質的に長くすることができるため、消費電流を削減できる。

【0048】さらに、アドレス比較回路 309a ~ 309c は、リテンション不良ロウ記憶素子 307a ~ 307c から出力されるリテンション不良ロウアドレス信号と、内部ロウアドレス信号とは分離されたリフレッシュロウアドレスカウンタ 305 から出力されるリフレッシュ

ユロウアドレス信号とを比較している。したがって、内部ロウアドレス信号が伝送される配線の負荷容量の増大を防止できるため、メモリセルに対する通常のアクセスタイムの遅延を防止でき、高速アクセスが可能である。

【0049】次に、本発明の第 2 の実施例について説明する。第 2 の実施例も第 1 の実施例と同様に、図 2 に示す DRAM のメモリセルアレイを用いるものとする。アドレスとアクセスされるサブアレイ番号との関係も第 1 の実施例と同様である。

【0050】図 8 は、本発明の第 2 の実施例に関わる DRAM のリフレッシュ回路部の構成を示すブロック図である。この DRAM はリフレッシュサイクルが 4k サイクルであり、ある特定のリフレッシュモードに入った場合、62.5 μ s のリフレッシュピリオドでリフレッシュされるものと仮定する。したがって、この DRAM のリフレッシュインターバルは $62.5 \mu s \times 4,096 = 256ms$ となる。

【0051】図 8 において、リフレッシュモード指示回路 501 は、この DRAM チップがある特定のリフレッシュモードに入った場合、リフレッシュモード指示信号 $REFMODE$ を " H " とする。このリフレッシュモード指示信号はリフレッシュタイマ 503 に供給される。このリフレッシュタイマ 503 は、リフレッシュモード指示信号が " H " になると動作を開始し、62.5 μ s 毎に 1 回リフレッシュパルス信号 $REFPULSE$ を発生する。このリフレッシュパルス信号は、例えば 12 ビットの 2 進カウンタからなるリフレッシュロウアドレスカウンタ 505 に供給される。このリフレッシュロウアドレスカウンタ 505 は、初期値が " 000000000000 " であり、1 回リフレッシュパルス信号を受けると、このカウンタ 505 の出力信号であるリフレッシュロウアドレス信号 $REFADR<11:0>$ を 1 つインクリメントし、このリフレッシュロウアドレス信号 $REFADR<11:0>$ が " 111111111111 " の場合に、リフレッシュパルス信号を受けるとリフレッシュロウアドレス信号 $REFADR<11:0>$ が " 000000000000 " に復帰される。

【0052】リフレッシュロウアドレス信号 $REFADR<11:0>$ の下位 11 ビット $REFADR<10:0>$ は、アドレスデコーダ 509 に供給され、最上位ビットである $REFADR<11>$ は、インバート 508 により反転されてアドレスデコーダ 509 に供給される。アドレスデコーダ 509 は供給された 12 ビットのアドレス信号により、4,096 ビットのリテンション不良ロウ記憶素子 510 から 1 ビットを選択する。アドレスデコーダ 509 の出力端は、リテンション不良ロウ記憶素子 510 に接続されている。このリテンション不良ロウ記憶素子 510 は、4,096 ビットの記憶素子を有し、これら記憶素子の 1 ビットずつがメモリセルア

レイの各ロウに対応している。これら記憶素子のうち、リテンション時間の短いセルが含まれているロウに対応するビットには“1”が書き込まれる。例えば、ロウアドレス信号 $RADR < 11 : 0 > = “000000000000”$ に対応するロウにリテンションの悪いセルが含まれている場合、 $REFADR < 11 : 0 > = “000000000000”$ に対応するビットに“1”が書き込まれる。リテンション不良ロウ記憶素子 510 の出力端には、読み出し回路 511 が接続されている。この読み出し回路 511 はアドレスデコーダ 509 に入力されたアドレスで示されるビットに書き込まれている情報を読み出すものである。この読み出し回路 511 から出力される読み出し信号は、リテンション不良ロウ記憶素子 510 に記憶されている情報が“1”である場合、“H”となり、リテンション不良ロウ記憶素子 510 に記録されている情報が“0”である場合、“L”となる。この読み出し回路 511 の出力信号は、リフレッシュロウアドレスカウンタ 505 から出力されるリフレッシュロウアドレス信号とともに、リフレッシュロウアドレス変換回路 513 に供給される。

【0053】図9は、リフレッシュロウアドレス変換回路の回路図を示している。リフレッシュロウアドレス信号の下位11ビット $REFADR < 10 : 0 >$ はそれぞれインバータ 614、615 により増幅されて変換済リフレッシュロウアドレス信号 $RESADR' < 10 : 0 >$ となる。したがって、 $REFADR < 10 : 0 >$ と $RESADR' < 10 : 0 >$ の論理値は同一である。

【0054】一方、最上位リフレッシュロウアドレス信号 $REFADR < 11 >$ は、前記読み出し回路 511 から出力される読み出し信号と論理が取られて変換済リフレッシュロウアドレス信号 $REFADR' < 11 >$ と $BREFADR' < 11 >$ が作られる。

【0055】すなわち、最上位リフレッシュロウアドレス信号 $REFADR < 11 >$ は、読み出し信号とともに例えばオア回路 611 に供給され、インバータ回路 612 により反転された最上位リフレッシュロウアドレス信号 $REFADR < 11 >$ は、読み出し信号とともに例えばオア回路 613 に供給される。

【0056】この回路において、前記読み出し信号が“L”の場合、 $REFADR' < 11 >$ は $REFADR < 11 >$ と同じ論理値を有し、 $BREFADR' < 11 >$ は $REFADR < 11 >$ の反転信号になる。一方、読み出し信号が“H”の場合、 $REFADR < 11 >$ の値にかかわらず、 $REFADR' < 11 >$ と $BREFADR' < 11 >$ の両方が“H”になる。

【0057】図8において、ロウアドレス入力回路 517 は、外部から供給される外部ロウアドレス信号を内部ロウアドレス信号に変換する。この内部ロウアドレス信号は、前記リフレッシュロウアドレス変換回路 513 から出力される変換済リフレッシュロウアドレス信号 RE

$FADR' < 11 : 0 >$ とともに、ロウアドレスマルチプレクサ 515 に供給される。このロウアドレスマルチプレクサ 515 には前記リフレッシュモード指示回路 501 から出力されるリフレッシュモード指示信号 $REFMODE$ が供給される。このロウアドレスマルチプレクサ 515 は、リフレッシュモード指示信号 $REFMODE$ が“H”の場合、すなわち、このDRAMチップがある特定のリフレッシュモードにある場合、変換済リフレッシュロウアドレスをメモリセルアレイに伝え、リフレッシュモード指示信号 $REFMODE$ が“L”の場合、メモリセルアレイへ内部ロウアドレス信号を伝える。

【0058】次に、図10乃至図11を参照して、この実施例の回路を搭載したDRAMの動作を説明する。まず、このDRAMのウェハ状態でのテストの際、第1の実施例と同様に、リテンション時間をリフレッシュインターバルの $1/2$ の時間である $128ms$ として全メモリセルをテストする(図4参照)。その時、64Mビット全てのメモリセルがパスするものと仮定する。これで全てのメモリセルが少なくとも $128ms$ 以上のリテンション時間を持つことが保証されたことになる。

【0059】次に、図10(a)に示すように、リテンション時間を $256ms$ に変更して同様に全メモリセルをテストした場合、サブアレイ番号が0、サブアレイ内のアドレスが2進数表記で $ADR < 9 : 0 > = “0000000000”$ で表わされるロウ上に1ビットの不良が発生しと仮定する。このロウのアドレスは $RADR < 11 : 0 > = “000000000000”$ と表わすことができる。64Mビットあるセルアレイの内、この1ビットのメモリセルだけが $128ms$ 以上、 $256ms$ 未満のリテンション時間を持ち、それ以外のメモリセルは $256ms$ 以上のリテンション時間を持つことがわかる。

【0060】そこで、図10(b)に示すように、このリテンション不良記憶素子 510 の $RADR < 11 : 0 > = “000000000000”$ に対応するビットのヒューズに“1”を書き込む。図10(b)は、各ロウに対応する4096のヒューズを示している。

【0061】図11に示すように、このDRAMが外部からの指示によって、あるいは自発的にあるリフレッシュモードに入り、リフレッシュモード指示信号 $REFMODE$ が“H”になる。すると、この信号を受け、リフレッシュタイマ 503 が動作を開始し、 $62.5\mu s$ 毎にリフレッシュパルス信号 $REFPLUSE$ を出力し、チップにリフレッシュ動作を命じる。リフレッシュロウアドレスカウンタ 505 は、リフレッシュパルスが供給される度に、その出力信号としてのリフレッシュロウアドレス信号が $REFADR < 11 : 0 > = “000000000000”$ からひとつずつインクリメントされ、そのたびにリテンション不良記憶素子 510 からデータが読み出される。サブアレイ 0、1 のリフレッシュが完

了し、サブアレイ 2 の 2 番目のロウ、すなわち、RAD R<11:0>="100000000000"までリフレッシュロウアドレスカウンタ505が進んだ時、アドレスデコーダ509の入力アドレスは"000000000000"になる。つまり、インバータ508により最上位ビットが"1"が"0"に反転するためである。このアドレス信号に対応するビットのヒューズには先ほど"1"が書かれたため、読み出し回路511から出力される読み出し信号は"H"になる。

【0062】すると、リフレッシュロウアドレス変換回路513から出力される変換済リフレッシュロウアドレス信号は、REFADR'<11>="H", BREFADR'<11>="L", REFADR<10:0>="000000000000"となる。これにより、サブアレイ0、2の"000000000000"の2本のロウが同時にリフレッシュ動作が行われることがわかる。

【0063】したがって、リフレッシュロウアドレスカウンタ505が"000000000000"から"111111111111"まで進む間に、RAD R<11:0>="000000000000"で表されるロウはREFADR<11:0>が"000000000000"と"100000000000"の場合の2度選択されるが、それ以外のロウは1度だけしか選択されない。つまり、RAD R<11:0>="000000000000"で表されるロウは128ms毎に1度リフレッシュされるが、それ以外のロウは256ms毎に一度リフレッシュされることになる。RAD R<11:0>="000000000000"で表されるロウ上のメモリセルは128ms以上256未満のリテンシ

ョン時間を持つことがすでに確かめられているが、不良にはならない。したがって、チップ全体で見ればあたかも全メモリセルが256msのリテンション時間を持つかのように見える。

【0064】なお、上記両実施例において、リテンション時間が短いセルは、リテンション時間が128ms以上256未満と表わしたが、リテンション時間はこれに限定されるものではなく、一般的には、通常のリフレッシュ時間をTとした場合、リテンション時間がTの1/

(2のn乗)より長く、Tより短いセルと表わせる。

【0065】また、上記第1の実施例は、チップ上のメモリセルをリテンション時間がある一定時間以上のものと一定時間以下のものとに分類し、リテンション時間が一定時間以下のメモリセルに関しては、リテンション時間が一定時間以上のメモリセルの半分の周期でリフレッシュしている。しかし、次のように変形することも可能である。

【0066】すなわち、チップ上のメモリセルをリテンション時間がある一定時間以上のものと、一定時間以下ではあるがその一定時間の半分の時間よりは長いもの、

その一定時間の半分の半分以下ではあるがその一定時間の1/4の時間よりは長いもの3種類に分類する。前記リテンション時間が一定時間以下ではあるがその一定時間の半分の時間よりは長いものに関しては、リテンション時間が一定時間以上のメモリセルの半分の時間でリフレッシュし、その一定時間の半分の半分以下ではあるがその一定時間の1/4の時間よりは長いものに関しては、リテンション周期が一定時間以上のメモリセルの1/4の時間でリフレッシュするようにしてもよい。

【0067】この場合、これら分類された各ロウアドレスをそれぞれ第1、第2の不揮発性記憶手段に記憶し、ロウアドレスの内、最上位1ビットを除くビット列部分が、リフレッシュロウアドレスの内、最上位1ビットを除くビット列部分と等しい場合、ロウアドレスで選択されるロウとほぼ同時にリフレッシュロウアドレスで選択されるロウをリフレッシュし、ロウアドレスの内、最上位2ビットを除くビット列部分が、リフレッシュロウアドレスの内、最上位2ビットを除くビット列部分と等しい場合、ロウアドレスで選択されるロウとほぼ同時にリフレッシュロウアドレスで選択されるロウをリフレッシュするようにすればよい。

【0068】また、メモリセルのリテンション時間をn種類に分類し、それぞれのセルのリテンション時間に応じて、一定時間に対して1/2, 1/4, 1/8, ..., 1/nの周期でリフレッシュするようにしてもよい。

【0069】また、上記第1、第2の実施例において、リフレッシュロウアドレスは、チップ内部に設けられたリフレッシュロウアドレスカウンタにより生成したが、これに限定されるものではなく、チップ外部から供給するようにしてもよい。

【0070】さらに、上記第1、第2の実施例において、不揮発性記憶手段は、レーザにより溶断されるヒューズを用いたが、これに限定されるものではなく、電流を用いて溶断されるヒューズ、EPROM (電氣的にプログラム可能な読み出し専用半導体記憶装置)、EEPROM (電氣的に消去可能で電氣的にプログラム可能な読み出し専用半導体記憶装置)、FRAM (強誘電体半導体記憶装置)を適用することも可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0071】

【発明の効果】以上、詳述したように、本発明によれば次の効果を得ることができる。

(1) リテンション時間が短いセルを置き換えるための冗長ロウ、冗長カラムを必要としない。したがって、チップ面積を増大することなく、リテンション時間が短いセルを救済でき、リフレッシュできる。しかも、リテンション時間が短いセルに対してのみ、正常なセルより短い周期でリフレッシュしているため、リフレッシュ電流の増大を防止できる。

【0072】(2) リテンション不良ロウ記憶素子はサブアレイ毎に設ける必要がなく、しかも、これらリテンション不良ロウ記憶素子は何れにサブアレイに存在するリテンション時間の短いセルをも救済できる。すなわち、例えば200セットのリテンション不良ロウ記憶素子を設ければ、チップ内のいかなる場所に200ビットのリテンション不良セルが集中しようとしても救済可能であるため、リテンション不良セルの救済効率が高く、歩留りを向上できる。

【0073】(3) リテンション不良ロウアドレスの検出は、内部ロウアドレス信号とは分離されたリフレッシュロウアドレスカウンタから出力されるリフレッシュロウアドレスアドレス信号を用いて行っている。したがって、内部ロウアドレス信号が伝送される配線の負荷容量の増大を防止できるため、メモリセルに対する通常のアクセスタイムの遅延を防止でき、高速アクセスが可能である。

【0074】(4) 冗長ロウ、冗長カラム置き換える通常のリダンダンシ回路は、内部アドレスと置き換えアドレスとを比較する必要があるため、内部アドレスバスの近傍にレイアウトしなければならない。しかし、この発明の場合、リテンション不良救済回路はクリティカルパスにはならないため、チップ上のどこにでもレイアウトできる。したがって、チップ上の空き領域を利用してリテンション不良救済回路をレイアウトできるため、レイアウト効率が良好であり、集積度を向上できる利点を有している。

【図面の簡単な説明】

【図1】この発明の第1の実施例を示す構成図。

【図2】この発明の第1の実施例に適用されるメモリセルを示す構成図。

【図3】図1に示すリフレッシュロウアドレス変換回路の構成を示す回路図。

【図4】図1の動作を説明するために示す図。

【図5】図1の動作を説明するために示す図。

【図6】図1の動作を説明するために示す図。

【図7】図1の動作を説明するために示す図。

【図8】この発明の第2の実施例を示す構成図。

【図9】図8に示すリフレッシュロウアドレス変換回路の構成を示す回路図。

【図10】図8の動作を説明するために示す図。

【図11】図8の動作を説明するために示す図。

【図12】従来のロウリダンダンシ回路を示す構成図。

【符号の説明】

11…メモリセルアレイ、

11a～11d…サブアレイ、

11e～11h…ロウデコーダ、

11i…カラムデコーダ、

11j…周辺回路、

301、501…リフレッシュモード指示回路、

303、503…リフレッシュタイマ、

305、505…リフレッシュロウアドレスカウンタ、

307a～307c、510…リテンション不良ロウ記憶素子、

309a～309c…アドレス比較回路、

311…不一致指示線プリチャージ回路、

312、513…リフレッシュロウアドレス変換回路、

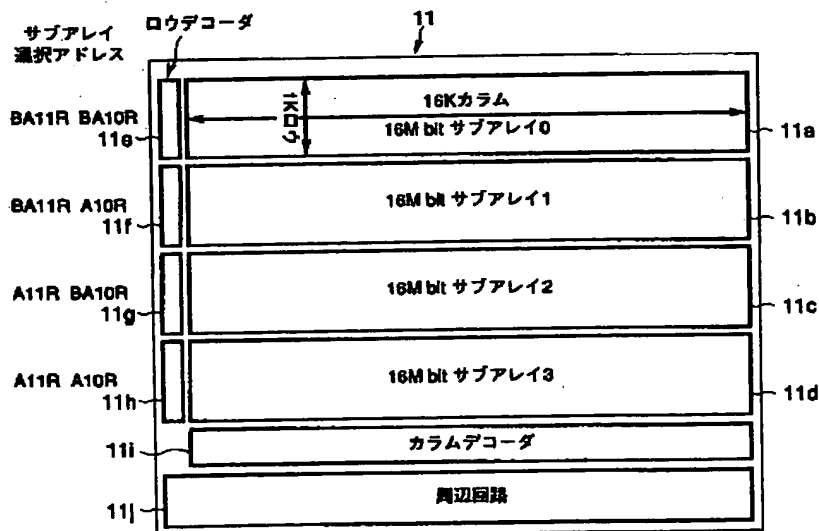
316、517…ロウアドレス入力回路、

314、515…ロウアドレスマルチプレクサ、

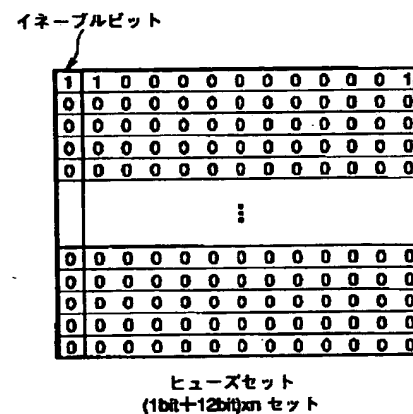
509…アドレスデコーダ、

511…読み出し回路。

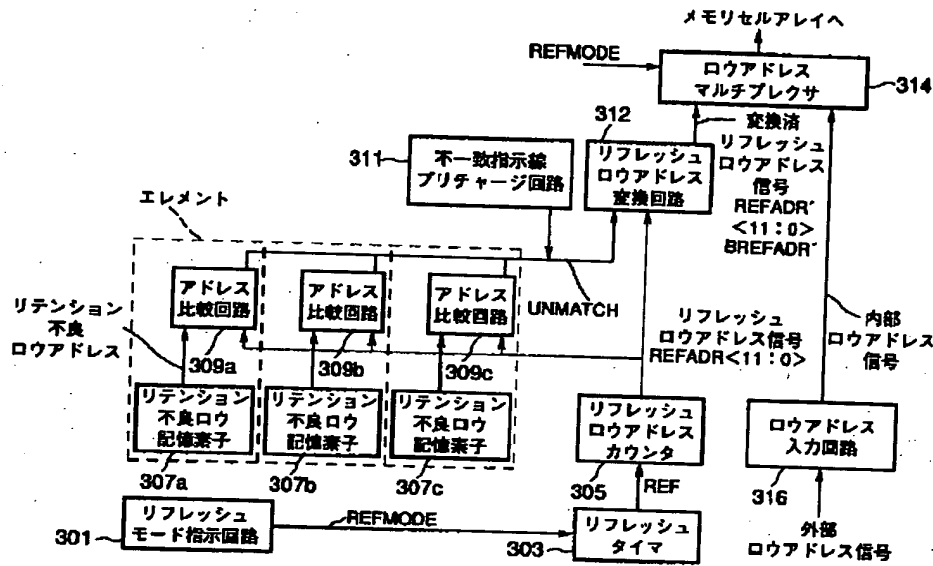
【図2】



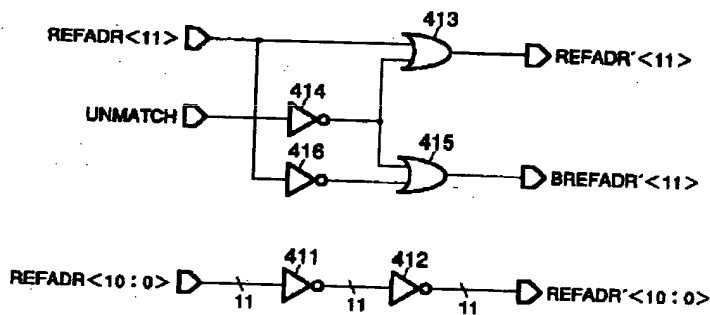
【図6】



【図 1】



【図 3】

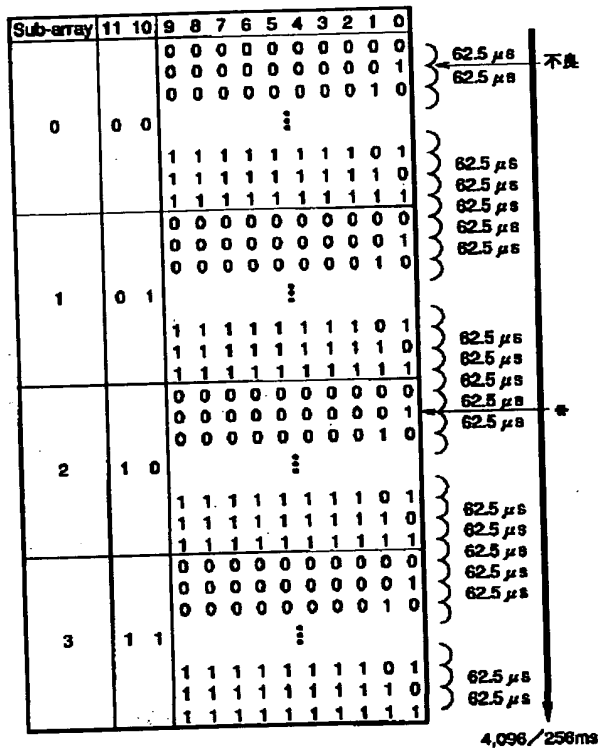


【図4】

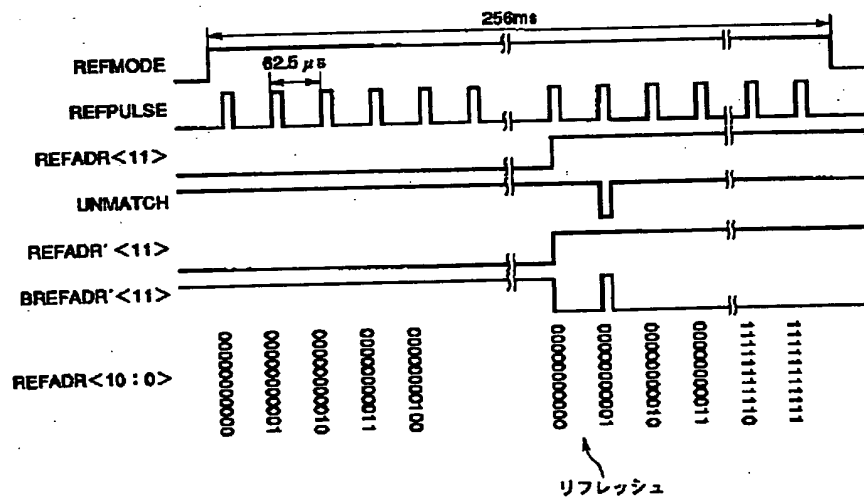
[illegible]

4,096ロウ/128ms

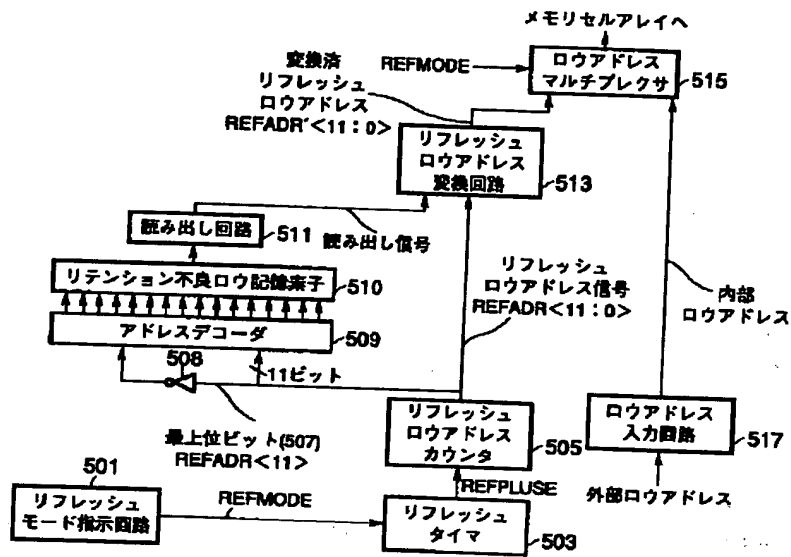
【図 5】



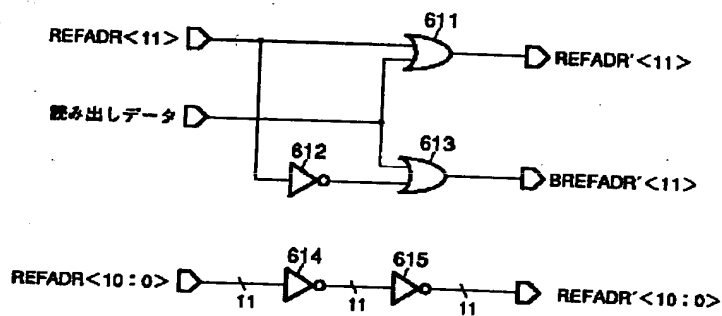
【図 7】



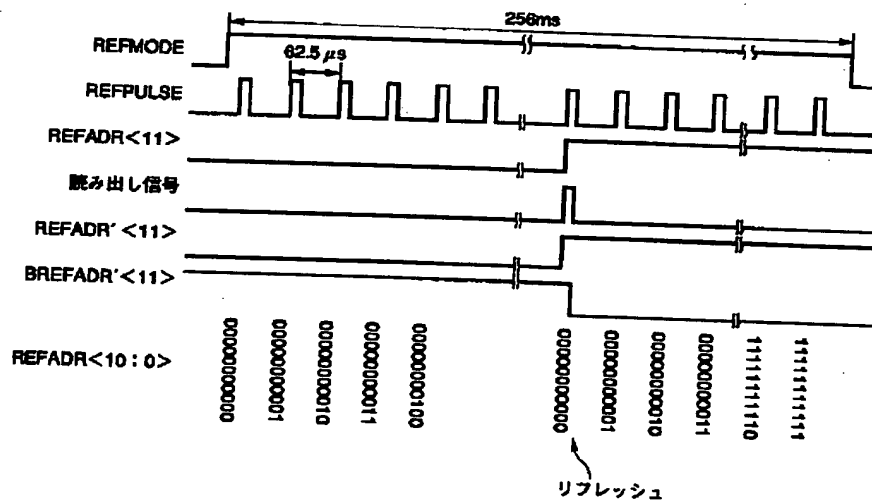
【図8】



【図9】



【図11】



不良口ウに
対応する
ヒューズ、



ロウ冗長エレメント

